

10/552706

J05 Rec'd PCT/PTO 07 OCT 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Masahiko MAEDA
Application No.: New PCT National Stage Application
Filed: October 7, 2005
For: CORRELATION VALUE CALCULATING CIRCUIT

CLAIM FOR PRIORITY

Assistant Commissioner of Patents
Washington, D.C. 20231

Dear Sir:

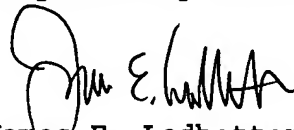
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-109513, filed April 14, 2003.

The International Bureau received the priority document within the time limit, as evidenced by the attached copy of the PCT/IB/304.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: October 7, 2005

JEL/spp

Attorney Docket No. L9289.05185
STEVENS DAVIS, MILLER & MOSHER, L.L.P.
1615 L STREET, NW, Suite 850
P.O. Box 34387
WASHINGTON, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日本国特許庁
JAPAN PATENT OFFICE

09. 4. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月14日
Date of Application:

出願番号 特願2003-109513
Application Number:
[ST. 10/C]: [JP2003-109513]

REC'D 03 JUN 2004

WIPO

PCT

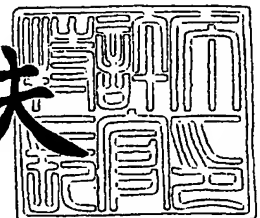
出願人 松下電器産業株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 5037940137

【提出日】 平成15年 4月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00
H04B 1/69

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 前田 征彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105050

【弁理士】

【氏名又は名称】 鷺田 公一

【手数料の表示】

【予納台帳番号】 041243

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9700376

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 相関値演算回路
【特許請求の範囲】

【請求項 1】 受信データと逆拡散コードとの積を求める 16 段の積算手段と、

前記積算手段の演算結果と保持しているデータとを加算し、その加算結果を新たに保持する 16 段の第 1 記憶手段と、

拡散コードに従い、前記第 1 記憶手段からのデータと前記第 1 記憶手段からのデータを正負反転させたデータとのいずれか一方を選択して出力する 16 段の第 1 選択手段と、

256 サンプル分のデータを保持する第 2 記憶手段と、

前記第 2 記憶手段が保持しているデータとゼロとのいずれか一方を選択する 16 段の第 2 選択手段と、

前記第 1 選択手段が選択出力するデータと前記第 2 選択手段が選択出力するデータとの和を求める 16 段の加算手段と、

前記 16 段の加算手段の加算結果のうちの一つを選択して前記第 2 記憶手段に送る第 3 選択手段と、

前記 16 段の積算手段に与える逆拡散コードとして、一次同期コードの第 1 基本構成である 16 ビットコードと二次同期コードの第 1 基本構成である 16 ビットコードとスクランプリングコードとをそれぞれ発生し、前記 16 段の第 1 選択手段に与える拡散コードとして、一次同期コードの第 2 基本構成である 16 ビットコードと二次同期コードの第 2 基本構成である 16 ビットコードと固定値とをそれぞれ発生するコード発生手段と、を具備することを特徴とする相関値演算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、W-CDMA (Wideband Code Division Multiple Access : 広帯域符号分割多元接続) 通信システムにて採用されている三段階セルサーチで用いる

相関値演算回路に関する。

【0002】

【従来の技術】

送受信間で予め決められたフォーマットで通信を行うことは一般的であり、正しく受信するために受信信号のスロットタイミングを検出することが必要となる。特にW-CDMAでは、受信側において拡散符号及びそのタイミングを知らずに情報の復元を行うことはできないので、タイミングの検出および拡散符号を同定することはきわめて重要になる。

【0003】

図2は、基地局から端末局への回線である下り回線におけるデータのフォーマットを示す。図2において、1つのフレームは、15個のスロットで構成されている。1つのスロットは、10個のシンボルで構成されている。1つのシンボルは、256個のチップで構成されている。この1つのチップがデータの最小単位である。

、【0004】

また、基地局から端末局への下り回線では、フレームと同じ周期を持つロングコードと、ロングコードよりも短い周期のショートコードとが用いられており、ロングコードとショートコードとの積によって拡散されている。そして、端末局にてスロットタイミングを検出することを容易にするために、スロットの先頭シンボルを既知のショートコードのみで拡散している。

【0005】

図3は、既知のショートコードで各スロットの先頭のシンボルを拡散した状態を示す。物理チャネルとしては、一次同期チャネル(P-SCH: Primary Synchronization Channel)と二次同期チャネル(S-SCH: Secondary Synchronization Channel)とがある。図3に示すように、P-SCHでは、各スロットの先頭シンボルは C_{PSC} と表記される共通の一次同期コード(PSC: Primary Synchronization Code)で拡散されている。S-SCHでは、各スロットの先頭シンボルは $C_{SSC,k}$ ($k=0\sim 15$)と表記される16種類ある二次同期コード(SC: Secondary Synchronization Code)のいずれかで拡散されている。

【0006】

また、図4(a)は、PSCの生成方法を示し、図4(b)は、SSCの生成方法を示す。PSCは、図4(a)に示すように、16個のコードaで構成されているが、このコードaが所定数ずつ正負反転した状態で16個並んだ構成となっている。また、SSCは、図4(b)に示すように、アダマール行列 (Hadamard sequence) H_8 の16行毎の成分とzとを掛け合わせて生成される16種類のコードで構成されている。zは、図4(b)に示すように、コードbが所定数ずつ正負反転した状態で16個並んだ構成となっている。

【0007】

タイミングの検出および拡散符号を同定する方法としては三段階セルサーチ法が知られている。第1段階処理では、PSCとの相関を取ってスロットタイミングを検出する。第2段階処理では、SSCとの相関とフレームタイミングとの相関を取ってフレームタイミングの検出及びスクランブルコードグループの同定を行う。第3段階処理では、第2段階処理で同定されたスクランブルコードグループに属するスクランブルコードとの相関を取ってスクランブルコード、即ち拡散コードの同定を行う。

【0008】

スロットタイミングを検出するためには、基地局から非同期にデータが送信されるので、あるタイミングを仮想スロットタイミングとし、そのタイミングから第1段階処理が開始されてから最低1スロット長分のプロファイルを作成する必要がある。これは、2560回PSCとの相関を256タップのマッチドフィルタを使用して求めることによって実現される。マッチドフィルタでの演算結果は、以下の数式(1)で表すことができる。なお、数式(1)において、mは、0から2559までの値である。

【数1】

$$MFOUT_{PSC}(m) = \sum_{n=0}^{255} C_{PSC}(n) \cdot data(n+m) \quad \dots\dots (1)$$

【0009】

また、フレームタイミングの検出は、前述した方法で検出したスロットタイミングに対するSSCとの相関を256タップのマッチドフィルタを使用して求め

ることによって実現される。マッチドフィルタでの演算結果は、以下の数式(2)で表すことができる。なお、数式(2)において、 m' は、0から2559までの値である。

【数2】

$$\text{MFOUT}_{\text{SSC}}(m', k) = \sum_{n=0}^{255} C_{\text{SSC}, k}(n) \cdot \text{data}(n + m') \quad \dots\dots (2)$$

【0010】

また、スクランプリングコードの同定も同様にマッチドフィルタを使用して以下の数式(3)のようにして求められる。なお、数式(3)において、 m'' は、0から38399までの値である。

【数3】

$$\text{MFOUT}_{\text{scramb}}(m'') = \sum_{n=n'}^{n'+255} C_{\text{scramb}}(n) \cdot \text{data}(n + m'') \quad \dots\dots (3)$$

【0011】

ここで、図5は、従来の相関値演算回路の構成例を示すブロック図である。図5に示すように、従来の相関値演算回路は、コード発生器501が発生する3段階セルサーチにて使用するコードと受信データとの相関を256タップのマッチドフィルタ502にて求めるようにしている。

【0012】

ここに、三段階セルサーチの第2段階や第3段階の処理では、マルチパスやノイズ等の影響もあり通常は複数タイミングについて処理を行うが、マッチドフィルタ502は、回路構成は単純であるが、256タップ構成となるので回路規模が大きくなり1系統しか持つことができない。

【0013】

そのため、第2段階処理や第3段階処理など複数タイミング、複数コードに対して相関を求める必要があるときには、複数タイミングの受信データを蓄積するために蓄積RAM503が設けられる。

【0014】

【発明が解決しようとする課題】

しかしながら、従来の相関値演算回路では、図5に示すように、マッチドフィルタ502は、回路構成は単純であるが、256タップ構成となるので回路規模

が非常に大きくなる。しかも、蓄積RAMが必要となるので、一層回路規模が大きくなる。

【0015】

また、マッチドフィルタ502は、相関を求めるための演算回路がデータパス上に非常に多く配置されるが、それらの演算回路が相関を求めるための演算の度に一斉に動くので、消費電力が非常に大きくなるという問題もある。

【0016】

本発明は、かかる点に鑑みてなされたものであり、回路規模を増大させるマッチドフィルタ及び蓄積RAMを使用せずに相関を求めることができる相関値演算回路を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明に係る相関値演算回路は、受信データと逆拡散コードとの積を求める16段の積算手段と、前記積算手段の演算結果と保持しているデータとを加算し、その加算結果を新たに保持する16段の第1記憶手段と、拡散コードに従い、前記第1記憶手段からのデータと前記第1記憶手段からのデータを正負反転させたデータとのいずれか一方を選択して出力する16段の第1選択手段と、256サンプル分のデータを保持する第2記憶手段と、前記第2記憶手段が保持しているデータとゼロとのいずれか一方を選択する16段の第2選択手段と、前記第1選択手段が選択出力するデータと前記第2選択手段が選択出力するデータとの和を求める16段の加算手段と、前記16段の加算手段の加算結果のうちの一つを選択して前記第2記憶手段に送る第3選択手段と、前記16段の積算手段に与える逆拡散コードとして、一次同期コードの第1基本構成である16ビットコードと二次同期コードの第1基本構成である16ビットコードとスクランプリングコードとをそれぞれ発生し、前記16段の第1選択手段に与える拡散コードとして、一次同期コードの第2基本構成である16ビットコードと二次同期コードの第2基本構成である16ビットコードと固定値とをそれぞれ発生するコード発生手段と、を具備する構成を採る。

【0018】

この構成によれば、16 段のデータパスに配置される積算手段、第 1 記憶手段、第 1 選択手段、加算手段及び第 2 選択手段は、それぞれのデータパス上において相関処理を行う演算回路を構成している。一次同期コードの基本構成である 16 ビットコードと二次同期コードの基本構成である 16 ビットコードとは、それぞれ正極性のビットと負極性のビットとの繰り返し特性が一定である。したがって、三段階セルサーチの第 1 段階処理では、16 個の演算回路それぞれにおいて 1 チップずらした受信データに対して相関処理を行うことができる。また、第 2 段階処理においても 16 個の演算回路それぞれが所望のタイミングで相関処理を行うことができる。さらに、第 3 段階処理においても同様に 16 個の演算回路それぞれが所望のタイミングで相関処理を行うことができる。

【0019】

【発明の実施の形態】

本発明の骨子は、PSC 及び SSC のコード構成の特性を利用して演算回路及び蓄積 RAM を削減することである。以下、図 4 を参照して本発明が利用する PSC 及び SSC のコード構成について説明する。

【0020】

PSC は、図 4 (a) に示すように 16 個のコード a で構成されているが、このコード a が所定数ずつ正負を反転した状態で 16 個並んだ構成となっている。つまり、PSC を構成する 16 ビットのコード a は、一定のルールに従って正極性の状態と負極性の状態を繰り返すが、この繰り返し特性は、一定である。したがって、これを利用すれば、1 チップずれると別のタイミングであることが識別できる。三段階セルサーチの第 1 段階での PSC との相関処理では、この特性を利用してデータパス上の演算回路の削減を図ることができる。

【0021】

また、SSC は、図 4 (b) に示すようにアダマール行列 (Hadamard sequence) H_8 の 16 行毎の成分と z とを掛け合わせて生成される 16 種類のコードで構成されている。 z は、図 4 (b) 示してある通り、コード b が所定数ずつ正負を反転した状態で 16 個並んだ構成となっている。

【0022】

そして、アダマール行列 H_8 の各行の成分 $h_m(0) \sim h_m(255)$ において $h_m(0) \sim h_m(15)$ 、 $h_m(16) \sim h_m(31)$ 、 $h_m(32) \sim h_m(47)$ 、 \dots 、 $h_m(250) \sim h_m(255)$ は、アダマール行列 H_4 の1行目の成分を $h'_0(0) \sim h'_0(15)$ とすると、 $h'_0(0) \sim h'_0(15)$ を所定数ずつ正負を反転した状態で16個並んだ構成となっている。

【0023】

したがって、SSC自体の成分も $b(0) \times h'_0(0) \sim b(15) \times h'_0(15)$ を所定数ずつ正負を反転した状態で16個並んだ構成となっている。つまり、SSCを構成する16ビットのコードは、PSCと同様に、一定のルールに従って正極性の状態と負極性の状態を繰り返すが、この繰り返し特性は、一定である。したがって、これを利用すれば、1チップずれると別のタイミングであることが識別できる。三段階セルサーチの第2段階でのSSCとの相関処理では、この特性を利用して蓄積RAMを不要にすることができる。

【0024】

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

【0025】

図1は、本発明の一実施の形態に係る相関値演算回路の構成を示すブロック図である。図1に示す相関値演算回路は、16段の積算回路101, 102, 103, \dots , 104, 105と、16段の記憶回路111, 112, 113, \dots , 114, 115と、16段の加算回路121, 122, 123, \dots , 124, 125と、16段の第1選択回路131, 132, 133, \dots , 134, 135と、16段の第2選択回路141, 142, 143, \dots , 144, 145と、256サンプル分のデータが保持できるRAM150と、タイミング制御回路160と、コード発生回路170と、RAM150のアドレスを生成するアドレス生成回路180と、第3選択回路190とを備えている。

【0026】

タイミング制御回路160は、各回路の動作を制御するタイミング信号を発生する。コード発生回路170は、16段の積算回路101, 102, 103, \dots , 104, 105に与える逆拡散コードとして、第1段階処理において図4（

a) に示すPSCの第1基本構成である16ビットコードを発生し、第2段階処理において図4(b)に示すSSC第1基本構成である16ビットコードを発生し、第3段階処理において図示しないスクランプリングコードを発生する。

【0027】

また、コード発生回路170は、16段の第1選択回路131, 132, 133, …、134, 135に与える拡散コードとして、第1段階処理において図4(a)に示すPSCの第2基本構成である16ビットコードを発生し、第2段階処理において図4(b)に示すSSCの第2基本構成である16ビットコードを発生し、第3段階処理において固定値を発生する。

【0028】

16段の積算回路101, 102, 103, …、104, 105は、受信データとコード発生回路170からの逆拡散コードの積を求める。16段の記憶回路111, 112, 113, …、114, 115は、16段の積算回路101, 102, 103, …、104, 105の演算結果と保持しているデータとを加算し、その加算した結果を新たに保持することを行う。

【0029】

16段の第1選択回路131, 132, 133, …、134, 135は、コード発生回路170からの拡散コードに従って、16段の記憶回路111, 112, 113, …、114, 115の保持データをそのまま出力するか正負を反転させて出力するかを行う。16段の第2選択回路141, 142, 143, …、144, 145は、RAM150の出力と“0”とのいずれか一方を選択して出力する。

【0030】

16段の加算回路121, 122, 123, …、124, 125は、16段の第1選択回路131, 132, 133, …、134, 135が選択した値と、16段の第2選択回路141, 142, 143, …、144, 145が選択した値とを加算する。第3選択回路190は、16段の加算回路121, 122, 123, …、124, 125の出力を選択してRAM150に格納することを行う。

【0031】

次に、以上のように構成される相関値演算回路において実施される三段階セルサーチを各段階に分けて説明する。なお、16段の各段における処理動作は同様であるので、第1段目のデータパスを例に挙げて説明する。受信データは、1スロットが図2に示したように2560チップで構成されている。

【0032】

第1段階の処理では、コード発生回路170は、積算回路101にて受信データと掛け合わせる逆拡散コードとして図4(a)に示したPSCを構成するコードaの16ビットを1ビットずつ順々に発生する。したがって、積算回路101では、受信データとコードaの各ビットとの積が順々に求められる。

【0033】

記憶回路111は、積算回路101での演算結果と記憶回路111自体が保持しているデータとの和を求め、その求めた和を再度保持することをコードaの16ビット分繰り返し行う。そして、コードaの16ビット分全ての受信データとの積和を求めると、その積和データを第1選択回路131を介して加算回路121に渡す。

【0034】

このようにして得られた積和データは、PSCとの相関を求めるときの、あるタイミングでは受信データにおける最初の16チップ分の相関値、即ちCpSC(0)からCpSC(15)との相関結果を表し、またあるタイミングでは次の16チップの相関値、即ちCpSC(16)からCpSC(31)との相関結果を表し、またあるタイミングではその次の16チップの相関値、即ちCpSC(32)からCpSC(47)との相関結果を表し、・・・、またあるタイミングでは最後の16チップとの相関値、即ちCpSC(240)からCpSC(255)との相関結果を表していることになる。

【0035】

上記したそれぞれのタイミングにおいて、コードaは、正極性状態の“a”と負極性に反転した“-a”との繰り返し特性が、それぞれのタイミングに応じた繰り返し特性となっている。そこで、コード発生回路170は、記憶回路111

から加算回路 121 に積和データを渡すときに、コード a の繰り返し特性から相関処理をしているタイミングが上記の何れのタイミングであるかを判断し、そのままの状態で渡すか、あるいは正負を反転して渡すかを指定する拡散コードを発生し、第 1 選択回路 131 に与えている。

【0036】

今の例では、第 1 段目での相関処理であるので、受信データにおける最初の 16 チップ分の相関値、即ち CpSC(0) から CpSC(15) との相関を取るタイミングである。したがって、コード発生回路 170 は、最初の 16 チップ分のタイミングでは、「そのままの状態を渡す」を内容とする拡散コードを発生し、その他の場合は、「正負を反転して渡す」を内容とする拡散コードを発生する。

【0037】

その結果、第 1 選択回路 131 では、コード発生回路 170 からの拡散コードが「そのままの状態を渡す」であるときは、記憶回路 111 からの積和データを直接加算回路 121 の一方の入力端に出力する一方、拡散コードが「正負を反転して渡す」であるときは、記憶回路 111 からの積和データに“−1”を乗算したものを加算回路 121 の一方の入力端に出力することが行われる。

【0038】

加算回路 121 の他方の入力端には、第 2 選択回路 141 の出力が与えられている。第 2 選択回路 141 では、第 1 選択回路 131 から送られてくるデータが CpSC(0) から CpSC(15) との相関結果のときは“0”を選択し、それ以外のときは RAM 150 の出力データを選択するようになっている。

【0039】

その結果、加算回路 121 では、第 1 選択回路 131 から送られてくる積和データが CpSC(0) から CpSC(15) との相関結果のときは、第 2 選択回路 141 からそのままの状態で入力されるので、第 1 選択回路 131 から送られてきた値を第 3 選択回路 190 を介して RAM 150 に格納する。

【0040】

一方、加算回路 121 では、第 1 選択回路 131 から送られてくる積和データが CpSC(0) から CpSC(15) との相関結果のとき以外は、第 1 選択回路 131

から送られてきた積和データのタイミングに対応してRAM150に格納している場所のデータを第2選択回路141から受け取るので、この2つのデータの和を求め、第3選択回路190を介してRAM150のデータを受け取った場所に格納する。

【0041】

つまり、第3選択回路190は、加算回路121から加算回路125までの各段の出力を選択してRAM150の対応する格納場所に格納する。以上の動作をRAM150の16個のタイミングそれぞれに対応した格納場所に対して実施する。このようにして256コード長のPSCと256チップの受信データとの相関が求められる。なお、PSCとの相関値が求められると、電力計算が実行されるが、これは本発明の直接的事項ではないので説明を省略する。

【0042】

そして、第1段目では、上述のように、積算回路101、記憶回路111、第1選択回路131、加算回路121及び第2選択回路141を通してRAM150でPSCとの相関を求めるが、このデータパスでは16チップ間隔の相関が求められるだけである。

【0043】

そこで、第2段目に1チップずれたデータに対して上述のような方法によりPSCとの相関を求める積算回路102、記憶回路112、第1選択回路132、加算回路122及び第2選択回路142を設け、第3段目に2チップずれに対してPSCとの相関を求める積算回路103、記憶回路113、第1選択回路133、加算回路123及び第2選択回路143を設け、以下同様に、第16段目に15チップずれに対してPSCとの相関を求める積算回路105、記憶回路115、第1選択回路135、加算回路125及び第2選択回路145を設けている。これによって、256チップのマッチドフィルタを用いなくても全てのタイミングに対してPSCとの相関を求めることができるようになる。

【0044】

次に、第2段階の処理では、受信データに対して16種類あるSSC(CSSC,0～CSSC,15)に対して相関を求める。コード発生回路コード発生回路170は、

積算回路 101 で受信データと掛け合わせる逆拡散コードとして図 4 (b) に示した SSC を構成するコード「 $b(0) \times h'_0(0) \sim b(15) \times h'_0(15)$ 」の 16 ビットを 1 ビットずつ順々に発生する。したがって、積算回路 101 では、受信データとコード「 $b(0) \times h'_0(0) \sim b(15) \times h'_0(15)$ 」の各ビットとの積が順々に求められる。

【0045】

積算回路 101 では、コード「 $b(0) \times h'_0(0) \sim b(15) \times h'_0(15)$ 」と受信データとの積和が求まると第 1 選択回路 131 にデータを送る。第 1 選択回路 131 では、コード発生回路 170 からの拡散コードに従い、求める SSC のコードによってそのまま送るか正負を反転させるかを決定し加算回路 121 に送る。

【0046】

加算回路 121 では、第 1 選択回路 131 から送られてくるデータが最初の 16 チップに対する相関結果のとき以外は第 1 選択回路 131 から送られてきたデータと相関を求めようとする SSC ($C_{SSC,0} \sim C_{SSC,15}$) に対応して RAM 150 に格納している場所のデータを受け取り、この 2 つのデータの和を求め、RAM 150 のデータを受け取った場所に格納する。

【0047】

このようにして第 1 段目の相関を求める系である積算回路 101、記憶回路 111、加算回路 121、第 1 選択回路 131 及び第 2 選択回路 141 にて 256 コード長の 16 種類の SSC ($C_{SSC,0} \sim C_{SSC,15}$) とある 1 タイミングからの 256 チップの受信データとの相関を求めることができる。

【0048】

通常、第 2 段階の処理では、複数のタイミングに対して行う必要があるが、他のタイミングに対しては第 2 段目～第 16 段目の系（積算回路 102、記憶回路 112、第 1 選択回路 132、加算回路 122 及び第 2 選択回路 142、あるいは、積算回路 103、記憶回路 113、第 1 選択回路 133、加算回路 123 及び第 2 選択回路 143、・・・、積算回路 105、記憶回路 115、第 1 選択回路 135、加算回路 125 及び第 2 選択回路 145）にて求めることができるの

で、最大16タイミング分のSSC(CSSC,0~CSSC,15)との相関を求めることができる。

【0049】

このように複数のタイミングでの相関を求める系が16段あるので、相関を求める系が1系統しかないマッチドフィルタで構成した場合に必要な受信データを蓄積しておく蓄積RAMが不要になる。

【0050】

最後に、第3段階の処理では、第2段階で同定されたスクランプリングコードグループに属する8つのスクランプリングコードに対して相関を求める。1つのスクランプリングコード256コード長分と受信データ256チップとの相関を求めるのに16段ある相関を求める系の1段を使用する。

【0051】

例として第1段目を使用する場合を挙げる。積算回路101にて受信データとコード発生回路170が発生するスクランプリングコード1ビットとの相関を求め、記憶回路111に送る。記憶回路111では、スクランプリングコード256ビットと受信データ256チップ分の相関を求めると、それを第1選択回路131に渡す。

【0052】

加算回路121では256チップ分の相関を求めるので、コード発生回路170からの拡散コードに従い第1選択回路131では常に加算回路121の相関値を選択して加算回路121に渡す。第2選択回路141も同様に記憶回路111で受信データ256チップ分との相関が求まっているので常に“0”を選択する。したがって、加算回路121では記憶回路111の値がそのまま出力される。第3選択回路190では、加算回路121の出力が選択され、RAM150に格納される。

【0053】

8つのスクランプリングコードに対する相関値は、第1段目から第8段目の相関を求める系で同様にして求めることができる。相関を求める系は、16段あるので最大2タイミングの受信データに対しスクランプリングコードとの相関を求

めることができる。

【0054】

このように、本実施の形態によれば、拡散コードとの相関を求めるのに、近似処理を行うことなく、また256タップのマッチドフィルタ及び蓄積RAMを使用せずに相関を求めることができる。しかも、データパス上の演算回路は、256タップのマッチドフィルタと比較して大幅に削減できる。

【0055】

【発明の効果】

以上説明したように、本発明によれば、回路規模を増大させるマッチドフィルタ及び蓄積RAMを使用せずに相関を求めることができる。したがって、回路規模の削減及び相関演算時における消費電力を抑えることができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る相関値演算回路の構成を示すブロック図

【図2】

下り回線におけるデータのフォーマットを示す図

【図3】

既知のショートコードで各スロットの先頭のシンボルを拡散した状態を表す図

【図4】

PSC及びSSCの生成方法を説明する図

【図5】

従来の相関値演算回路の構成例を示すブロック図

【符号の説明】

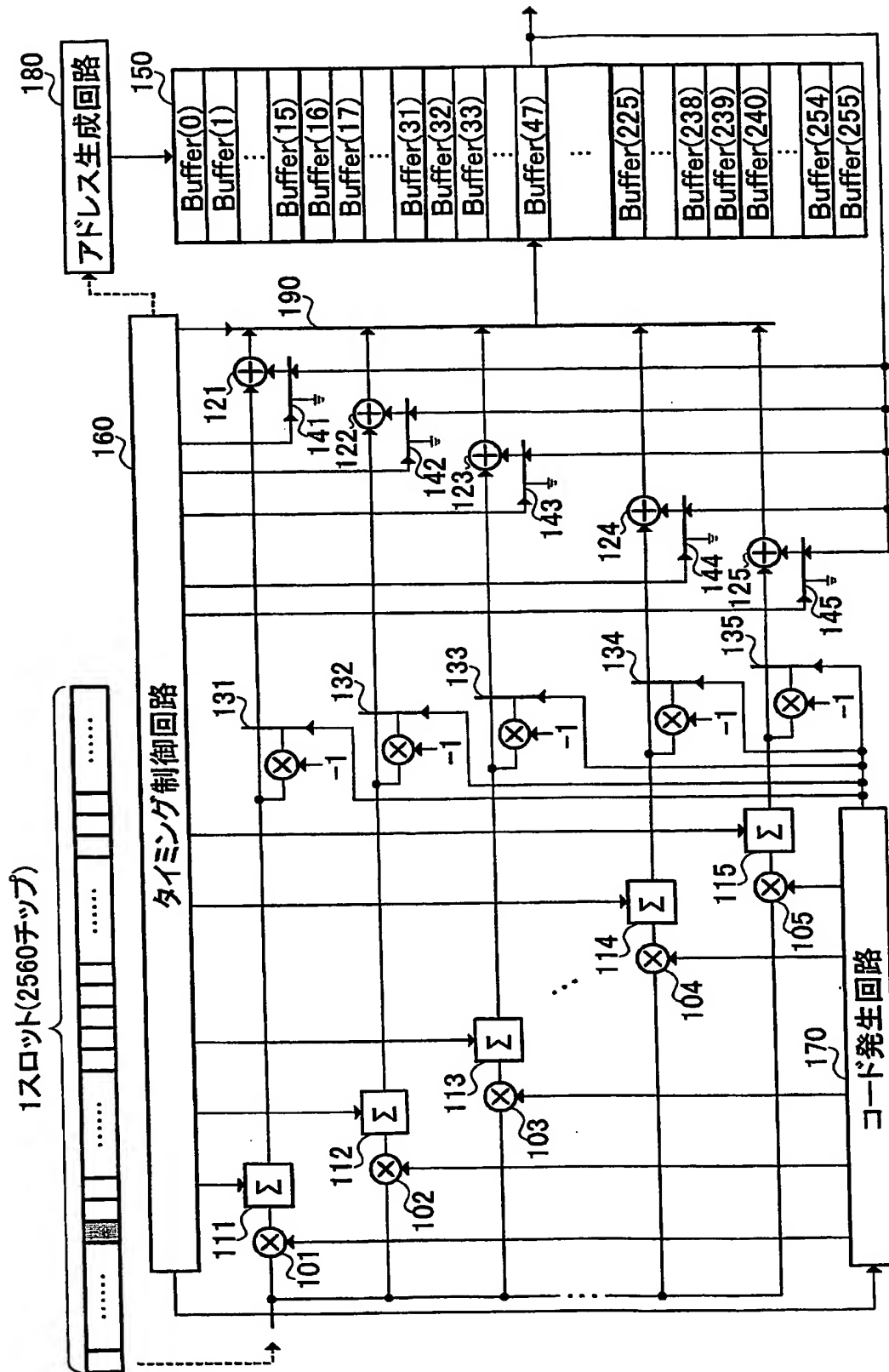
101, 102, 103, ..., 104, 105	16段の積算回路
111, 112, 113, ..., 114, 115	16段の記憶回路
121, 122, 123, ..., 124, 125	16段の加算回路
131, 132, 133, ..., 134, 135	16段の第1選択回路
141, 142, 143, ..., 144, 145	16段の第2選択回路
150	第2記憶手段であるRAM

- 160 タイミング制御回路
- 170 コード発生回路
- 180 アドレス生成回路
- 190 第3選択回路

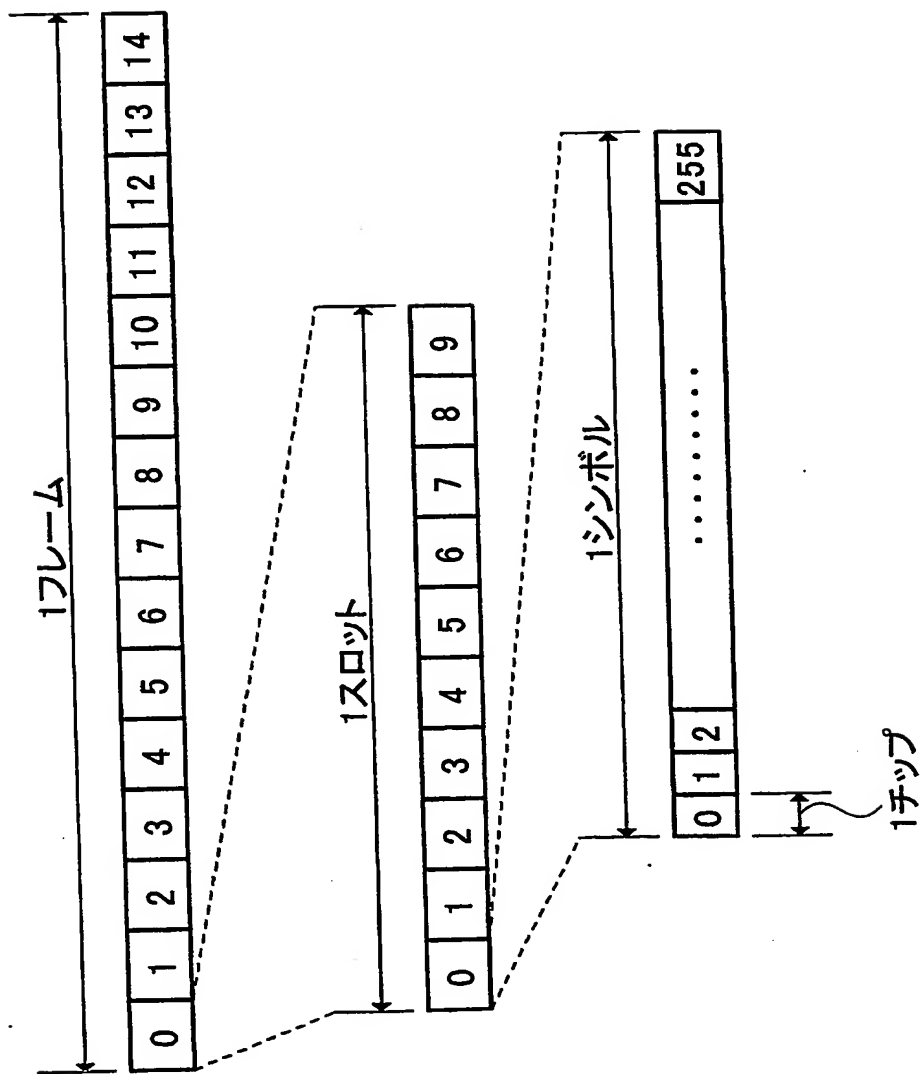
【書類名】

図面

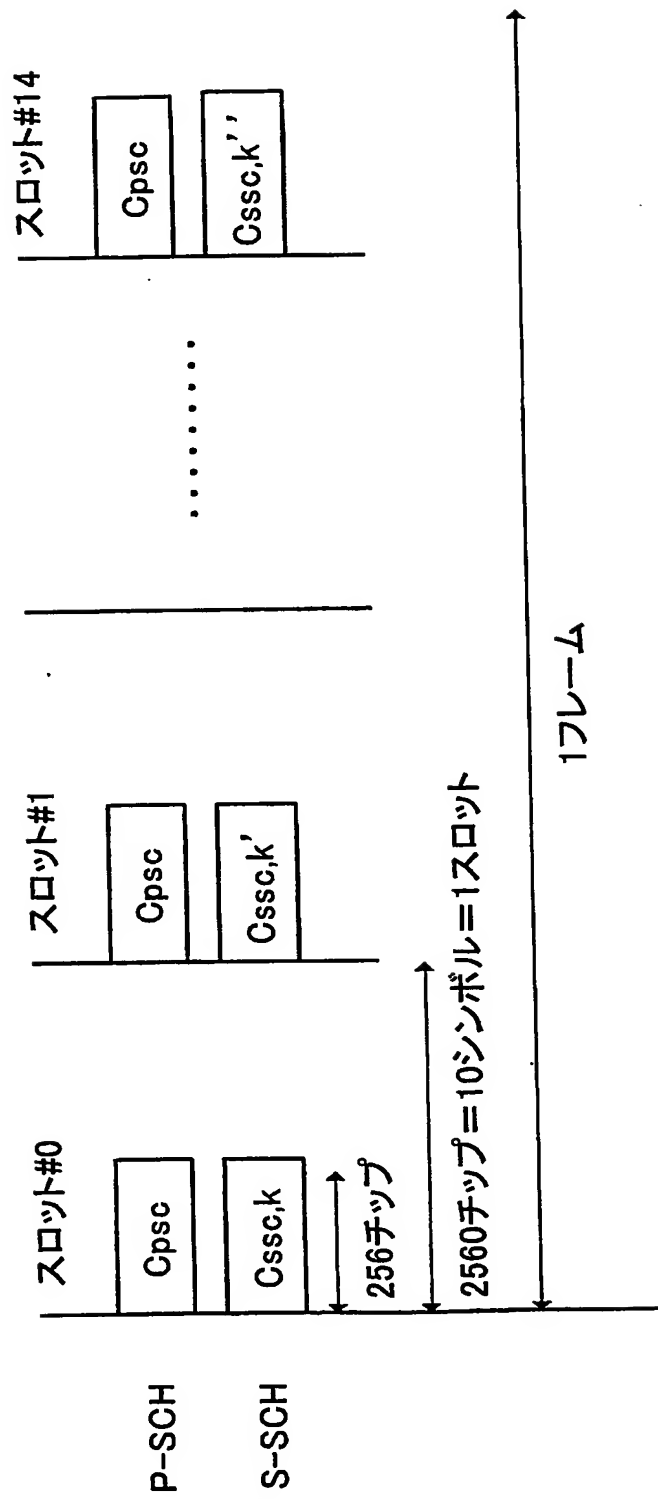
【図1】



【図 2】



【図 3】



※ k, k', \dots, k'' は 0~15 のいずれか

【図 4】

$$C_{psc} = (1+j) \times \langle a, a, a, -a, -a, a, -a, -a, a, a, a, -a, a, -a, a, a \rangle$$

$$\text{where } a = \langle 1, 1, 1, 1, 1, 1, -1, -1, 1, -1, 1, -1, 1, -1, -1, 1 \rangle$$

(a)

Hadamard sequence

$$H_0 = [1]$$

$$\begin{pmatrix} H_{n-1} & H_{n-1} \\ H_{n-1} & -H_{n-1} \end{pmatrix}$$

$$H_8 = \begin{pmatrix} h_0 \\ h_1 \\ h_2 \\ \vdots \\ h_{255} \end{pmatrix} = \begin{pmatrix} h_0(0) & h_0(1) & \dots & h_0(255) \\ h_1(0) & h_1(1) & \dots & h_1(255) \\ h_2(0) & h_2(1) & \dots & h_2(255) \\ \vdots & \vdots & \dots & \vdots \\ h_{255}(0) & h_{255}(1) & \dots & h_{255}(255) \end{pmatrix}$$

$$z = \langle b, b, b, -b, b, b, -b, -b, b, -b, b, -b, -b, -b, -b, -b \rangle$$

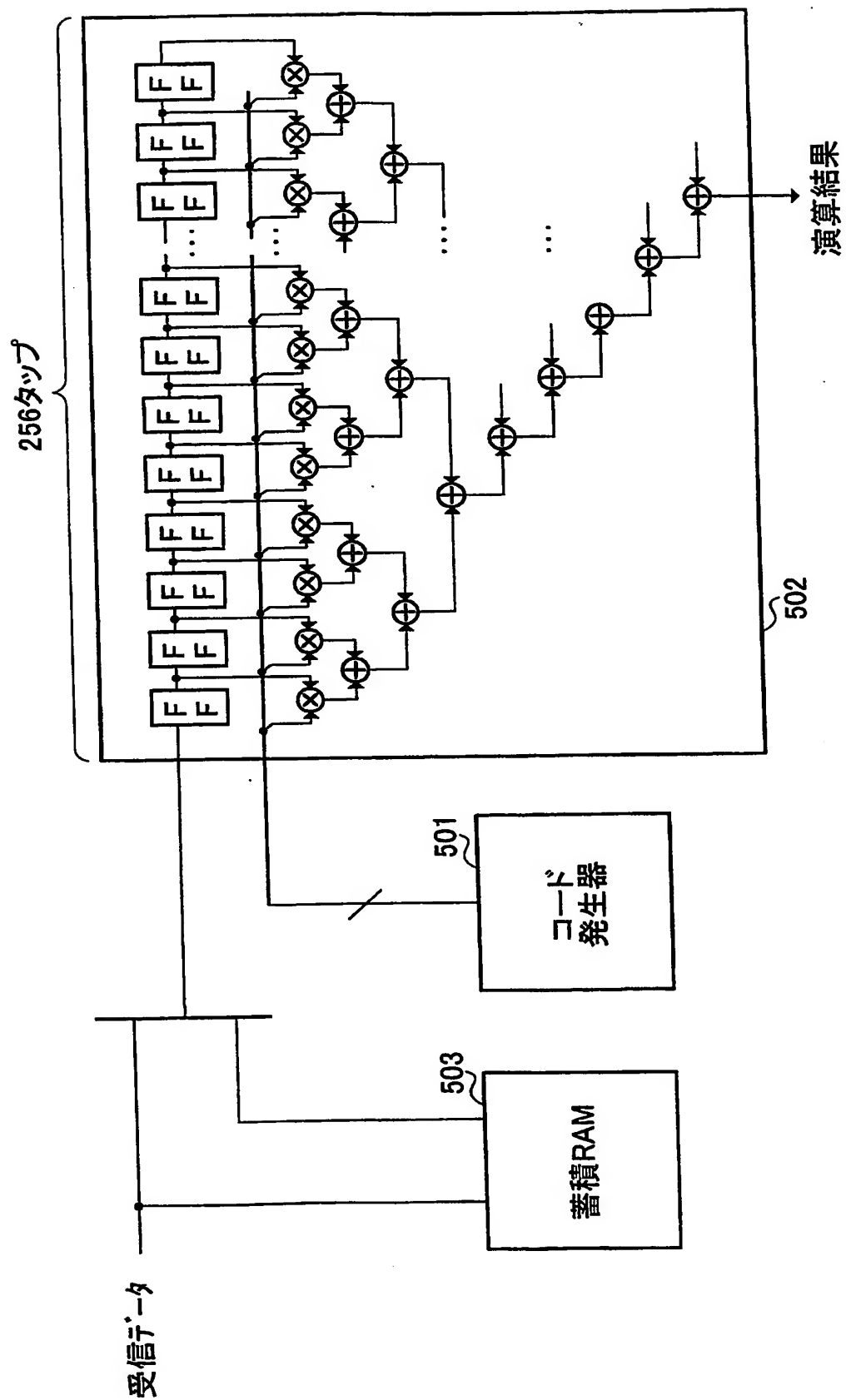
$$b = \langle 1, 1, 1, 1, 1, 1, -1, -1, -1, 1, -1, 1, -1, 1, 1, -1 \rangle$$

$$C_{ssc,k} = (1+j) \times \langle hm(0) \times z(0), \dots, hm(255) \times z(255) \rangle$$

$$\text{where } m = 16 \times (k-1), k=1 \sim 15$$

(b)

【図5】



【書類名】 要約書

【要約】

【課題】 回路規模を増大させるマッチドフィルタ及び蓄積RAMを使用せずに相関を求めること。

【解決手段】 16段のデータパスに配置される積算回路101～105、記憶回路111～115、第1選択回路131～135、加算回路121～125及び第2選択回路141～145は、それぞれのデータパス上において相関処理を行う演算回路を構成している。コード発生回路170が逆拡散コードとして発生するPSC及びSSCの基本構成である16ビットコードは、正極性のビットと負極性のビットとの繰り返し特性が一定であるので、16個の演算回路それぞれにおいて1チップずらした受信データに対して相関処理を行うことができる。したがって、第1段階処理、第2段階処理及び第3段階処理において所望のタイミングで相関処理を行うことができる。

【選択図】 図1

特願 2 0 0 3 - 1 0 9 5 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社